

WEST**End of Result Set**☐ **Generate Collection** **Print**

L2: Entry 2 of 2

File: DWPI

Jan 14, 2000

DERWENT-ACC-NO: 2000-227211

DERWENT-WEEK: 200063

COPYRIGHT 2003 DERWENT INFORMATION LTD

TITLE: Dummy pattern formation structure for semiconductor device - includes impurity diffusion areas of p and n type conductivity which mutually contacts with each other and are formed on dummy area

INVENTOR: HIGASHITANI, K; KAWASHIMA, H ; OKADA, M ; YAMADA, K

PATENT-ASSIGNEE:

ASSIGNEE

MITSUBISHI ELECTRIC CORP

MITSUBISHI DENKI KK

CODE

MITQ

MITQ

PRIORITY-DATA: 1998JP-0109535 (April 20, 1998)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
JP 2000012680 A	January 14, 2000		010	H01L021/76
US 6153918 A	November 28, 2000		000	H01L029/00

APPLICATION-DATA:

PUB-NO	APPL-DATE	APPL-NO	DESCRIPTOR
JP2000012680A	September 1, 1998	1998JP-0247154	
US 6153918A	August 21, 1998	1998US-0138017	

INT-CL (IPC): H01 L 21/76; H01 L 21/762; H01 L 27/08; H01 L 29/00

ABSTRACTED-PUB-NO: JP2000012680A

BASIC-ABSTRACT:

NOVELTY - Trenches (3) of predetermined depth are formed on the main surface of a semiconductor substrate to form the dummy areas (43a,43b) in between. Impurity diffusion areas (11a,11b) of p and n type conductivity are sequentially formed on the dummy areas to form the dummy pattern. DETAILED DESCRIPTION - An INDEPENDENT CLAIM is included for dummy pattern formation method in semiconductor device manufacture.

USE - For semiconductor device e.g. CMOS.

ADVANTAGE - Suppresses degradation of electrical property of CMOS caused by pair of parasitic capacitance between electrically conductive wiring.

DESCRIPTION OF DRAWING - The figure shows cross-sectional view of CMOS during wiring layer formation. (3) Trench; (11a,11b) Impurity diffusion areas; (43a,43b) Dummy areas.

ABSTRACTED-PUB-NO:

US 6153918A

EQUIVALENT-ABSTRACTS:

.. NOVELTY - Trenches (3) of predetermined depth are formed on the main surface of a semiconductor substrate to form the dummy areas (43a,43b) in between. Impurity diffusion areas (11a,11b) of p and n type conductivity are sequentially formed on the dummy areas to form the dummy pattern. DETAILED DESCRIPTION - An INDEPENDENT CLAIM is included for dummy pattern formation method in semiconductor device manufacture.

USE - For semiconductor device e.g. CMOS.

ADVANTAGE - Suppresses degradation of electrical property of CMOS caused by pair of parasitic capacitance between electrically conductive wiring.

DESCRIPTION OF DRAWING - The figure shows cross-sectional view of CMOS during wiring layer formation. (3) Trench; (11a,11b) Impurity diffusion areas; (43a,43b) Dummy areas.

CHOSEN-DRAWING: Dwg.6/11

TITLE-TERMS: DUMMY PATTERN FORMATION STRUCTURE SEMICONDUCTOR DEVICE IMPURE DIFFUSION AREA P N TYPE CONDUCTING MUTUAL CONTACT FORMING DUMMY AREA

DERWENT-CLASS: L03 U11 U13

CPI-CODES: L04-C02; L04-C07E;

EPI-CODES: U11-C05D3; U11-C08A3; U11-D03C3A; U13-D02A;

SECONDARY-ACC-NO:

CPI Secondary Accession Numbers: C2000-069804

Non-CPI Secondary Accession Numbers: N2000-170439

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-12680

(P2000-12680A)

(43) 公開日 平成12年1月14日 (2000.1.14)

(51) Int.Cl. ⁷	識別記号	F I	キーワード (参考)
H 0 1 L 21/76		H 0 1 L 21/76	L 5 F 0 3 2
21/762		27/08	3 3 1 B 5 F 0 4 8
27/08	3 3 1	21/76	D

審査請求 未請求 請求項の数 8 O L (全 10 頁)

(21) 出願番号 特願平10-247154

(22) 出願日 平成10年9月1日 (1998.9.1)

(31) 優先権主張番号 特願平10-109535

(32) 優先日 平成10年4月20日 (1998.4.20)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 川島 光

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72) 発明者 岡田 昌和

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100064746

弁理士 深見 久郎 (外3名)

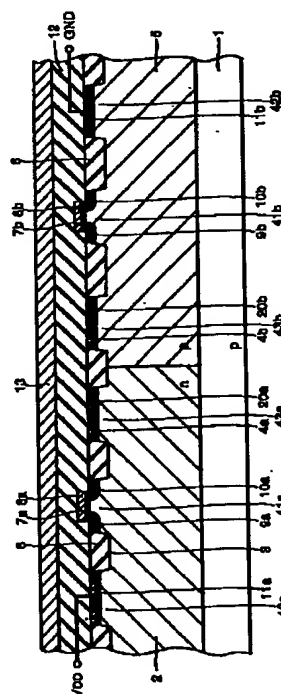
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 製造工程を増加することなく寄生容量の発生を抑制した、段差低減のためのダミー領域を有する半導体装置の構造および製造方法を提供する。

【解決手段】 半導体基板1の主表面におけるトレンチ3による分離領域に、後工程における段差を軽減するために主表面に残存させたダミー領域43a、43bを備え、このダミー領域43a、43bの表面から所定の深さにかけて、それぞれp型およびn型の不純物領域20a、20bを含む。不純物領域20a、20bの底部にpn接合が生じるため、そのpn接合に空乏層が拡がり、ダミー領域43a、43bの上方において交差する導電配線13との間の寄生容量が低減される。不純物領域20a、20bはそれぞれ、活性領域におけるpチャネルおよびnチャネルトランジスタのソース/ドレイン領域9a、10a、9b、10bを形成する不純物注入により同時に形成される。



【特許請求の範囲】

【請求項1】 半導体基板の主表面における活性領域を分離する分離領域に、前記主表面から所定の深さにかけてトレンチが形成されたトレンチ分離を有し、前記主表面上に半導体素子を形成する際の後工程における段差による影響を軽減する目的で、前記分離領域に、前記主表面を残存させたダミー領域を備える半導体装置であつて、

前記ダミー領域は、
前記主表面から所定の深さにかけて形成された所定の導電型を有する第1の不純物拡散領域と、
該第1の不純物拡散領域の下方に、該第1の不純物拡散領域の底面に接するように形成された、所定の導電型を有する第2の不純物拡散領域とを含む、半導体装置。

【請求項2】 前記第1の不純物拡散領域と前記第2の不純物拡散領域とが互いに逆の導電型を有する、請求項1に記載の半導体装置。

【請求項3】 前記第1の不純物拡散領域と前記第2の不純物拡散領域とが同じ導電型を有する、請求項1に記載の半導体装置。

【請求項4】 半導体基板の主表面における活性領域を分離する分離領域に、後工程における段差による影響を軽減するための所定のダミー領域の前記主表面を残存させて、前記主表面から所定の深さにかけてトレンチを形成する工程と、
前記活性領域に所定の導電型の不純物を注入して不純物拡散領域を形成する不純物注入工程とを備え、
前記不純物注入工程において、前記活性領域に不純物を注入すると同時に、前記ダミー領域にも同一の不純物を注入することにより、前記ダミー領域の前記主表面から所定の深さにかけて、ダミーの不純物拡散領域を形成する工程を含む、半導体装置の製造方法。

【請求項5】 前記不純物注入工程が、前記半導体基板の主表面の前記ダミー領域における導電型とは逆の導電型の不純物を注入することにより、前記主表面から所定の深さにかけて、その下方の領域とは逆の導電型の不純物拡散領域を形成する工程を含む、請求項4に記載の半導体装置の製造方法。

【請求項6】 前記不純物注入工程が、前記半導体基板の主表面の前記ダミー領域における導電型と同一の導電型の不純物を注入することにより、前記主表面から所定の深さにかけて、その下方の領域よりも高濃度の不純物拡散領域を形成する工程を含む、請求項4に記載の半導体装置の製造方法。

【請求項7】 半導体基板の主表面における活性領域を分離する分離領域に、前記主表面から所定の深さにかけてトレンチが形成されたトレンチ分離を有し、前記主表面上に半導体素子を形成する際の後工程における段差による影響を軽減する目的で、前記分離領域に、前記主表面を残存させたダミー領域を備える半導体装置であつ

て、
前記ダミー領域は、その表面を酸化することにより形成された、該ダミー領域の表面を覆う酸化膜を含む、半導体装置。

【請求項8】 半導体基板の主表面における活性領域を分離する分離領域に、後工程における段差による影響を軽減するための所定のダミー領域の前記主表面を残存させて、前記主表面から所定の深さにかけてトレンチを形成する工程と、

前記ダミー領域以外の領域をマスクして前記ダミー領域を酸化することにより、前記ダミー領域の表面を覆う酸化膜を形成する工程とを備えた、半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置およびその製造方法に関し、特に、アスペクト比の小さなトレンチ分離領域に起因する後工程の埋め込み膜表面にできる段差を軽減し、埋め込み膜表面の平坦性を向上させるためのダミーパターンを有する、半導体装置およびその製造方法に関するものである。

【0002】

【従来の技術】従来、半導体装置の製造工程におけるCMP (Chemical Mechanical Polishing)等の研磨時に、アスペクト比の小さなトレンチ分離領域に起因して発生する後工程の埋め込み膜表面にできる段差を軽減する方法として、予めアスペクト比の小さな分離領域にダミーパターンを形成することがよく知られている。

【0003】たとえば、近年の実用されているシャロウトレンチ分離では、活性領域でない部分は、工程簡略のためすべての領域を、アスペクト比の小さな幅広のトレンチによる分離領域とする。このアスペクト比の小さなトレンチによる分離領域の段差に起因する問題点を、図10に示されているCMOS (Complementary Metal Oxide Semiconductor)を例にとって説明し、次に、その問題点を解決する従来の方法を説明する。

【0004】このCMOSは、図10に示すように、p型Si基板101の上部にこのp型Si基板101の表面から所定の深さにかけてnウェル領域102が形成されている。また、nウェル102の右側のSi基板101の領域内に、このSi基板101の表面から所定の深さにかけてpウェル領域105が形成されている。また、トレンチ分離によって凸状の領域141a、142a、141b、142bとそれぞれの凸状の領域141aと凸状の領域142aとの間、および、凸状の領域141bと凸状の領域142bとの間に凹状の領域103が形成されている。また、nウェル領域102内にある凸状の領域141aの上部には、活性領域を形成するソース/ドレイン109a、110a、ゲート酸化膜107aおよびゲート電極108aが形成され、pウェル領

域105内にある凸状の領域141bの上部には、ソース/ドレイン109b、110b、ゲート酸化膜107bおよびゲート電極108bが形成されている。また、凹状の領域103および幅広のトレンチ分離領域200を埋め込むように埋め込み酸化膜106が形成されている。さらに、ソース/ドレイン109a、110a、ゲート酸化膜107a、ゲート電極108a、ソース/ドレイン109b、110b、ゲート酸化膜107bおよびゲート電極108bの上には、それらを埋め込むように、層間酸化膜112が形成されている。そして、層間酸化膜112の上に配線層113が形成されている。

【0005】このような構造を有する従来のCMOSにおいては、埋め込み酸化膜106を堆積させたときに、幅広のトレンチ分離領域200と凸状の領域141a、141bとの間に段差 d_1 があり、トレンチ分離領域200のアスペクト比が小さいために、埋め込み酸化膜106を堆積後に、トレンチ分離領域200に形成された埋め込み酸化膜106の表面が凹状になる。その後、その凹状になった埋め込み酸化膜106の表面にCMPやエッチバック等による平坦化を行なっても、平坦化の前の表面の凹状の影響が大きく作用し、平坦化後にも表面に凹状が残る。そのため、トレンチ分離領域200に形成される埋め込み酸化膜106には、凹状の最も低い部分と最も高い部分との段差 d_2 が生じる。その段差 d_2 を有する凹状の埋め込み酸化膜106の上に層間酸化膜112を形成し、さらに、その層間酸化膜112の上に配線層113を形成した場合、その最終形状においても凹状はそのまま残り、最も低い部分と最も高い部分との段差 d_3 が残ってしまう。

【0006】上記問題点に対する従来の対策として、図11に示すように、図10におけるアスペクト比の小さい分離領域200に凸状の領域143a、143bをトランジスタが形成されている凸状の領域141a、141bおよび配線に接続される電極となる142a、142bと同時に形成する方法がある。すなわち、図10の分離領域200に、図11に示すように、凸状の領域143a、143bを残すようにトレンチ分離による分離領域103を形成する方法である。この方法により、層間酸化膜112の形成後の段差 d_3 の発生が抑えられ、図11に示すように、ほぼ平坦な層間酸化膜112の上に配線層113が形成できる。

【0007】

【発明が解決しようとする課題】しかしながら、図10のアスペクト比の小さな幅広の凹状の領域200に形成される上記図11の凸状の領域143a、143bが導電性を有するため、図11に示すように、凸状の領域143a、143bの上を配線113が交差する場合に、凸状の領域143a、143bと配線112との距離 d_4 が短ければ、凸状の領域143a、143bと配線113との間に不必要なキャパシタ構造が形成されてしま

う。

【0008】また、凸状の領域143a、143bが、その凸状の領域143a、143bの上部にトランジスタの一部となるゲート電極が重なる構造となった場合（図示せず）に、ゲート酸化膜は薄膜であるため、ゲート配線に沿って不要なキャパシタ構造を大きな面積にわたって構成する。そのため、寄生容量が増加して電気特性が劣化し、トランジスタは不良率が増加するか、あるいは、スクリーニングするためのバーイン時間が増大することになる。

【0009】すなわち、上記従来例のように凸状のダミー領域を設けた構造では、配線が上部を通ると、寄生容量の増加による電気特性劣化により、良好な製品が得られないという問題点があった。

【0010】本発明は上記の問題点を解決するためになされたものであり、その目的は、ダミー領域としての導電性を有する凸状の領域が、その上部を交差するように設けられる導電層やトランジスタに対してもたらず、寄生容量の増加による電気的な影響を低減し得る半導体装置の構造およびその製造方法を提供することである。

【0011】

【課題を解決するための手段】請求項1に記載の半導体装置は、半導体基板の主表面における活性領域を分離する分離領域に、主表面から所定の深さにかけてトレンチが形成されたトレンチ分離を有し、主表面上に半導体素子を形成する際の後工程における段差による影響を軽減する目的で、広い分離領域に、主表面を残存させたダミー領域を備える半導体装置であって、ダミー領域は、主表面から所定の深さにかけて形成された所定の導電型を有する第1の不純物拡散領域と、この第1の不純物拡散領域の下方に、この第1の不純物拡散領域の底面に接するように形成された、所定の導電型を有する第2の不純物拡散領域とを含む。

【0012】このように構成することにより、第1の不純物領域と第2の不純物領域とが請求項2に記載のように互いに逆の導電型を有する場合には、後工程で上方に配線等が形成されると、その配線等と第1の不純物拡散領域との間に電位差が生じるため、第1の不純物領域と第2の不純物領域との接合部に空乏層ができる。それにより、その間にできる不必要なキャパシタ構造は第2の不純物領域と空乏層とを直列に接続した状態と同様となる。それにより、第2の不純物領域の電気容量を C_1 とし、空乏層の電気容量を C_2 とすると、その電気容量の和は $C_1 \cdot C_2 / (C_1 + C_2)$ となり、 $C_2 / (C_1 + C_2) < 1$ のため、第2の不純物領域の電気容量 C_1 より小さくなる。そのため、上部に配線等が通過した場合に、導電性を有するダミー領域と配線との間に生じる寄生容量が与える電気的特性の劣化を小さくできる。

【0013】また、第1の不純物領域と第2の不純物領域とが、請求項3に記載のように、同じ導電型を有すれ

ば、第1の不純物領域と第2の不純物領域とは、直列に接続され、ウェル抵抗を低下させることができ、ラッチアップに対する耐性を向上させることができる。その結果、上部に配線等が通過した場合に導電性を有するダミー領域が与える電気的な影響を小さくできる。

【0014】請求項4に記載の半導体装置の製造方法は、半導体基板の主表面における活性領域を分離する分離領域に、後工程における段差による影響を軽減するための所定のダミー領域の主表面を残存させて、主表面から所定の深さにかけてトレンチを形成する工程と、活性領域に所定の導電型の不純物を注入して不純物拡散領域を形成する不純物注入工程とを備え、不純物注入工程において、活性領域に不純物を注入すると同時に、ダミー領域にも同一の不純物を注入することにより、ダミー領域の主表面から所定の深さにかけて、ダミーの不純物拡散領域を形成する工程を含む。

【0015】このような工程で製造することにより、不純物注入工程において、活性領域に不純物を注入すると同時に、ダミー領域にも同一導電型、もしくは、逆の導電型の不純物を注入することにより、ダミー領域の主表面から所定の深さにかけて、ダミーの不純物拡散領域を形成する工程を含むことにより、工程数を増加することなくダミー領域を形成することができる。

【0016】請求項5に記載の半導体装置の製造方法は、請求項4に記載の半導体装置の製造方法における不純物注入工程が、半導体基板の主表面のダミー領域における導電型とは逆の導電型の不純物を注入することにより、主表面から所定の深さにかけて、その下方の領域とは逆の導電型の不純物拡散領域を形成する工程を含む。

【0017】このような工程で製造することにより、半導体基板の主表面のダミー領域における導電型とは逆の導電型の不純物を注入するため、不純物とダミー領域との接合面をpn接合とすることができ。

【0018】請求項6に記載の半導体装置の製造方法は、請求項4に記載の半導体装置の製造方法における不純物注入工程が、前記半導体基板の主表面の前記ダミー領域における導電型と同一の導電型の不純物を注入することにより、前記主表面から所定の深さにかけて、その下方の領域よりも高濃度の不純物拡散領域を形成する工程を含む。

【0019】このような工程で製造することにより、半導体基板の主表面のダミー領域における導電型と同一の導電型の不純物を注入するため、不純物とダミー領域との接合面を濃度差を有する同一の導電型の接合面とすることができ。

【0020】請求項7に記載の半導体装置は、半導体基板の主表面における活性領域を分離する分離領域に、主表面から所定の深さにかけてトレンチが形成されたトレンチ分離を有し、主表面上に半導体素子を形成する際の後工程における段差による影響を軽減する目的で、分離

領域に、トレンチを形成せずに主表面を残存させたダミー領域を備える半導体装置であって、ダミー領域は、その表面を酸化することにより形成された、このダミー領域の表面を覆う酸化膜を含む。

【0021】このような構成にすることにより、酸化膜が絶縁性を有するため、上部に配線等が通過した場合に配線とダミー領域との間に形成される不必要なキャパシタ構造は、その対向電極間距離が大きくなり、かつ、対向電極間面積が小さくなる。その結果、導電性を有するダミー領域が配線に与える寄生容量の増加による電気的特性の劣化を小さくできる。

【0022】請求項8に記載の半導体装置の製造方法は、半導体基板の主表面における活性領域を分離する分離領域に、後工程における段差による影響を軽減するための所定のダミー領域の主表面を残存させて、主表面から所定の深さにかけてトレンチを形成する工程と、ダミー領域以外の領域をマスクしてダミー領域を酸化することにより、ダミー領域の表面を覆う酸化膜を形成する工程とを備える。

【0023】このような工程を有することにより、導電性を有するダミー領域を酸化し、配線と導電性を有するダミー領域との間に形成されるキャパシタ構造の、対向する距離大きくし、かつ、面積を小さくできる。

【0024】

【発明の実施の形態】以下、本発明の実施の形態を図に基づいて説明する。

【0025】(実施の形態1)まず、本発明の実施の形態1における半導体装置を、CMOSに本発明を適用した場合を例にとって、図6を参照しながら説明する。

【0026】図6に示すように、本実施の形態の半導体装置においては、p型の半導体基板1の上に主表面から所定の深さにかけてnウェル2が形成されている。また、nウェル2の右側の領域にpウェル5が形成されている。また、トレンチ分離により凹状の領域3、および、凸状の領域41a、42a、43a、41b、42b、43bが形成されている。この凸状の領域41a、42a、43a、41b、42b、43bは、トランジスタが形成される凸状の領域41a、41b、電極と接続される凸状の領域42a、42b、および、段差を軽減するためのダミー領域となる凸状の領域43a、43bで構成されている。また、凸状の領域41a、41bの上にゲート酸化膜7a、7bおよびゲート電極8a、8bがそれぞれ形成されている。nウェル2の上部のトランジスタとなる凸状の領域41aにはソース/ドレイン9a、10aが形成され、pウェル5の上部のトランジスタとなる凸状の領域41bにはソース/ドレイン9b、10bが形成されている。また、電位印加端子となる凸状の領域42a、42bの上部には、それぞれn型、p型の不純物領域11a、11bが形成されている。また、ダミー領域となる凸状の領域43a、43b

の上部には、それぞれp型、n型の不純物領域20a、20bが形成されている。そして、各凹条の領域3を埋め込むための埋め込み酸化膜106が形成されている。また、凸状の領域41a、42a、43a、41b、42b、43b、ソース/ドレイン9a、10a、ソース/ドレイン9b、10b、ゲート酸化膜7a、7bおよびゲート電極8a、8bを覆うように、層間酸化膜12が形成されている。さらに、この層間酸化膜12の上面には、導電配線13が形成されている。

【0027】本実施の形態の半導体装置によれば、上記のような構造を有することにより、p型の不純物領域20aおよびn型の不純物領域20bと上方において交差する導電配線13と凸状の領域43a、43bとの間に電位差が生じると、p型の不純物領域20aおよびn型の不純物領域20bとnウェル2およびpウェル5との間のpn接合において空乏層ができる。そのため、導電配線13と凸状の領域43a、43bとの間にできる不必要なキャパシタ構造は、p型の不純物領域20aおよびn型の不純物領域20bとそれぞれのpn接合部にできる空乏層とを直列に接続した状態と同様となる。それにより、導電配線13とp型の不純物領域20aまたはn型の不純物領域20bと間の静電容量をC1とし、それぞれに形成される空乏層の静電容量をC2とすると、その静電容量の和は $C1 \cdot C2 / (C1 + C2)$ となり、 $C2 / (C1 + C2) < 1$ であるため、p型の不純物領域20aおよびn型の不純物領域20bの電気容量C1より小さくなる。そのため、p型の不純物領域20aおよびn型の不純物領域20bの上部で交差するように設けられる配線に対して形成される寄生容量を小さくできる。

【0028】次に、本実施の形態における半導体装置の製造方法を説明する。まず、図1に示すように、半導体基板1の上部に異方性エッチングにより活性領域を分離するためのトレンチとなる凹状の領域3、および、活性領域となる凸状の領域41a、41b、電極となる凸状の領域42a、42bおよび段差を軽減するためのダミー領域となる凸状の領域43a、43bを形成する。次に、図2に示すように、トレンチを埋め込むための埋め込み酸化膜6を形成し、CMPにより、凸状の領域41a、42a、43a、41b、42b、43bが露出するまで研磨し、平坦化を行なう。次に、凸状の領域43a、43bの間の凹状の領域3の中央よりも右側の領域をマスクして、半導体基板1上にリンなどのn型不純物を注入することにより、図3に示すように、凸状の領域41a、42a、43aを含む領域にp型の半導体基板1の主表面から所定の深さにかけて、nウェル2を形成する。また、凸状の領域43a、43bの間の凹状の領域3の中央よりも左側の領域をマスクして、半導体基板1上にホウ素などのp型不純物を注入することにより、図3に示すように、凸状の領域41b、42b、43b

を含む領域に半導体基板1主表面から所定の深さにかけて、pウェル5を形成する。

【0029】次に、図4に示すように、凸状の領域41a、41bの上にゲート酸化膜7a、7bおよびゲート電極8a、8bを形成する。その後、凸状の領域41a、42b、43aの上面をマスクした状態で、半導体基板1上にリンなどのn型の不純物を注入することにより、pウェル5の上の凸状の領域41bの表面にはn⁺ソース/ドレイン9b、10bを、凸状の領域42a、43bの表面にはn型の不純物領域11a、20bを形成する。その後さらに、凸状の領域41b、42a、43bの上面をマスクした状態で、半導体基板1上にホウ素などのp型の不純物を注入することにより、nウェル5の上の凸状の領域41aの表面にはp⁺ソース/ドレイン9a、10aを、凸状の領域42b、43aの表面にはp型の不純物領域11b、20aを形成し、図5に示す構造となる。

【0030】次に、図6に示すように、半導体基板1上を覆うように、CVD法等によってシリコン酸化膜を堆積させることにより、層間酸化膜12を形成し、その後さらに、層間酸化膜12の上面に、アルミニウムや不純物をドーパした多結晶シリコンなどからなる導電配線13をパターニング形成する。

【0031】このような製造方法を用いることにより、ダミー領域となる凸状の領域43a、43bの表面のp型の不純物領域20aおよびn型の不純物領域20bを、活性領域に形成されるトランジスタのソース/ドレインや電位印加端子の不純物領域と同時に形成するため、マスクパターンを適宜変更するだけで、工程数を増加させることなく、p型の不純物領域20aおよびn型の不純物領域20bを形成することができる。

【0032】なお、不純物領域20a、20bを、凸状の領域43a、43bと互いに逆の導電型の接合(pn接合)にするのではなく、互いに同じ導電型にすることによっても、次のような特有の作用効果を生じる。すなわち、導電層間に構成されるnウェル2と不純物領域20a、および、pウェル5とn型の不純物領域20bとの間に構成されるキャパシタ構造は同一の導電型で濃度の異なる不純物領域が直列に接続されたこととなり、ウェル抵抗を低下させることができ、ラッチアップに対する耐性を向上させることができる。

【0033】このような構造は、図5に示した構造を形成する工程において、不純物注入の際のマスクパターンを変更することにより、上述とほぼ同様に、工程数を増加させることなく形成される。すなわち、凸状の領域41a、42b、43bの上面をマスクした状態で、半導体基板1上にリンなどのn型の不純物を注入することにより、pウェル5の上の凸状の領域41bの表面にはn⁺ソース/ドレイン9b、10bを、凸状の領域42a、43bの表面にはn型の不純物領域11a、20a

を形成する。その後さらに、凸状の領域41b、42a、43aの上面をマスクした状態で、半導体基板1上にホウ素などのp型の不純物を注入することにより、nウェル5の上の凸状の領域41aの表面にはp⁺ソース/ドレイン9a、10aを、凸状の領域42b、43aの表面にはp型の不純物領域11b、20bを形成する。

【0034】(実施の形態2)次に、実施の形態2における半導体装置を図9を用いて説明する。

【0035】本実施の形態における半導体装置は、図6におけるダミー領域となる凸状の領域43a、43bに不純物領域が形成される代わりに、図9に示すように、酸化膜55が形成されダミー領域53となる点において、実施の形態1に示した半導体装置の構造と相違している。

【0036】このような構造にすることにより、酸化膜55が絶縁性を有するため、凸状の領域43a、43bの導電性部分と、上方において交差する導電配線13との間の距離が大きくなり、また、導電性を有する部分の対向面積が小さくなる。その結果、ダミー領域53による導電配線やトランジスタへ与える寄生容量の増加による電気特性の劣化を小さくできる。

【0037】次に、本実施の形態における半導体装置の製造方法を図7～図9を用いて説明する。まず、図7に示すように、図1の状態における凸状の領域43a、43bを残して、凸状の領域43a、43b以外の部分のp型Si基板1の表面にレジストをマスクとして、窒化膜からなる酸化防止用のマスキング層54を形成する。このマスキング層54は、窒化膜の単層で形成することができるが、窒化膜と薄い酸化膜からなる積層膜等であってもよい。次に、マスキング層54をマスクとして、凸状の領域43a、43bの表面上に熱酸化を施して、図8に示すような酸化膜55を有するダミー領域53を形成する。その後、実施の形態1と同様の工程により図9に示されるようなCMOS構造の半導体装置を形成する。酸化膜55を形成する方法は熱酸化に限られず凸状の領域43a、43bを酸化雰囲気中にさらしてもよい。

【0038】このような製造方法によって、上部を交差する導電配線13と導電性を有する凸状の領域43a、43bを、その表面が酸化されることによって形成された酸化膜55によって覆われたダミー領域53に変化させることができる。

【0039】なお、今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなく特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0040】

【発明の効果】請求項1～3に記載の半導体装置によれば、導電性を有するダミー領域の上部に形成される配線やトランジスタへ与える寄生容量の増加による電気特性の劣化を小さくできる。

【0041】請求項4～6に記載の半導体装置の製造方法によれば、導電性を有するダミー領域の上部に形成される配線やトランジスタへ与える寄生容量の増加による電気特性の劣化を小さくできる半導体装置を工程数を増やすことなく提供することができる。

【0042】請求項7に記載の半導体装置によれば、導電性を有するダミー領域の上部に形成される配線やトランジスタへ与える寄生容量の増加による電気特性の劣化を小さくできる。

【0043】請求項8に記載の半導体装置の製造方法によれば、導電性を有するダミー領域の上部に形成される配線やトランジスタへ与える寄生容量の増加による電気特性の劣化を小さくできる半導体装置を提供することができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1のダミー領域を有する半導体装置を形成する工程において、Si基板の主表面所定の深さにかけて、トレンチを形成し、凸状の領域と凹状の領域とを形成した状態の断面構造を示す図である。

【図2】 本発明の実施の形態1のダミー領域を有する半導体装置を形成する工程において、凹状の領域に埋め込み酸化膜を形成した後の断面構造を示す図である。

【図3】 本発明の実施の形態1のダミー領域を有する半導体装置を形成する工程において、Si基板の主表面から所定の深さにかけて、nウェルおよびpウェルを形成した後の断面構造を示す図である。

【図4】 本発明の実施の形態1のダミー領域を有する半導体装置を形成する工程において、トランジスタを形成する凸状の領域にゲート酸化膜およびゲート電極を形成した後の断面構造を示す図である。

【図5】 本発明の実施の形態1のダミー領域を有する半導体装置を形成する工程において、埋め込み酸化膜およびゲート電極をマスクとして凸状の領域に不純物領域を形成した状態の断面構造を示す図である。

【図6】 本発明の実施の形態1のダミー領域を有する半導体装置を形成する工程において、埋め込み酸化膜、不純物注入後の凸状の領域、および、ゲート電極の上に層間酸化膜を形成し、さらにその上に配線層を形成した状態の断面構造を示す図である。

【図7】 本発明の実施の形態2のダミー領域を有する半導体装置を形成する工程において、トレンチにより分離された凸状の領域と凹状の領域とが形成された後、ダミー領域となる凸状の領域以外の領域を窒化膜によりマスクした状態の断面構造を示す図である。

【図8】 本発明の実施の形態2のダミー領域を有する

11

半導体装置を形成する工程において、ダミー領域となる凸状の領域を熱酸化により酸化した状態の断面構造を示す図である。

【図9】 本発明の実施の形態2のダミー領域を有する半導体装置を形成する工程において、ダミー領域が酸化膜を含むCMOSの構造を示す断面図である。

【図10】 従来の、Si基板のトレンチ分離による幅広の分離部の上に導電性を有するダミー領域を形成することなく埋め込み膜および層間酸化膜を形成した状態を示す図である。

【図11】 従来の、導電性を有するダミー領域の上部

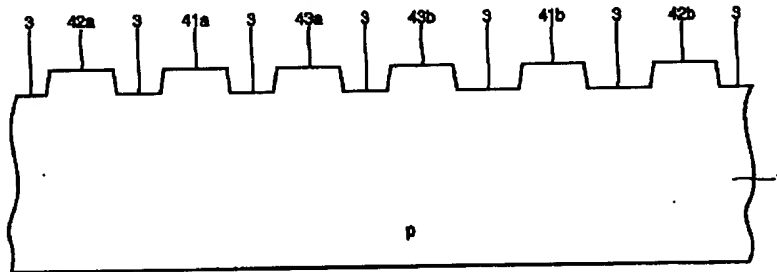
12

に層間酸化膜を介して配線を形成した状態を示す図である。

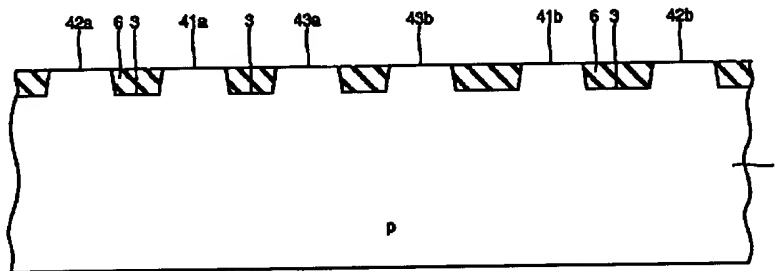
【符号の説明】

1 Si基板、2 nウェル、3 凹状の領域、5 pウェル、6 埋め込み酸化膜、7a, 7b ゲート酸化膜、8a, 8b ゲート電極、9a, 10a, 9b, 10b ソース/ドレイン、11a, 11b, 20a, 20b 不純物領域、12 層間酸化膜、13 導電配線、41a, 41b, 42a, 42b, 43a, 43b 凸状の領域、53 ダミー領域、54 マスキング層、55 酸化膜。

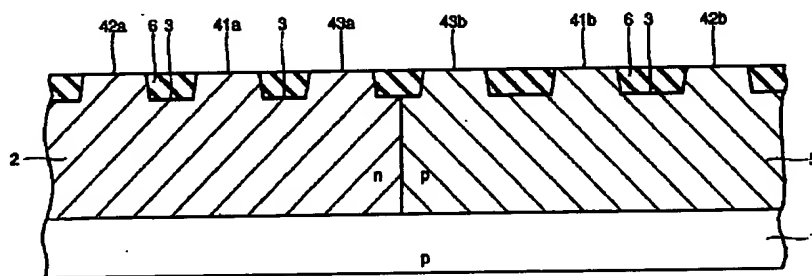
【図1】



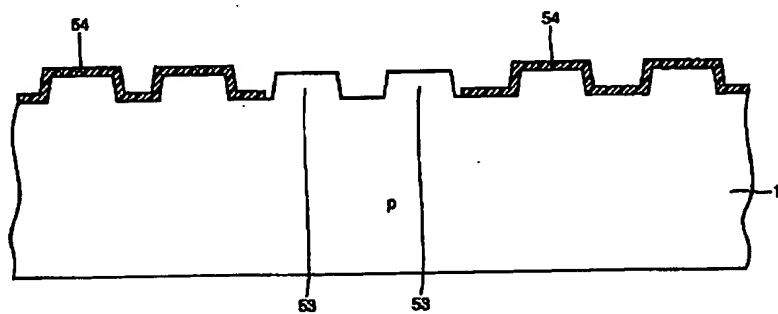
【図2】



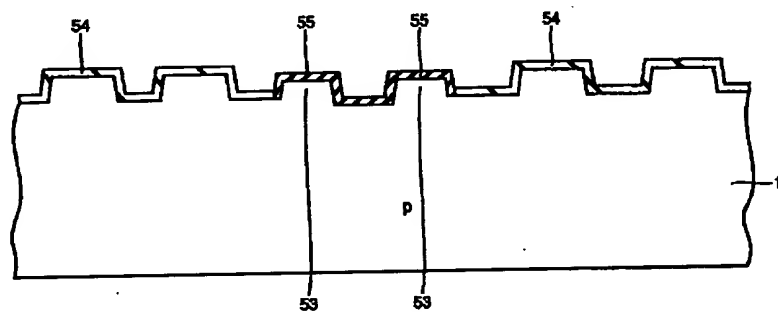
【図3】



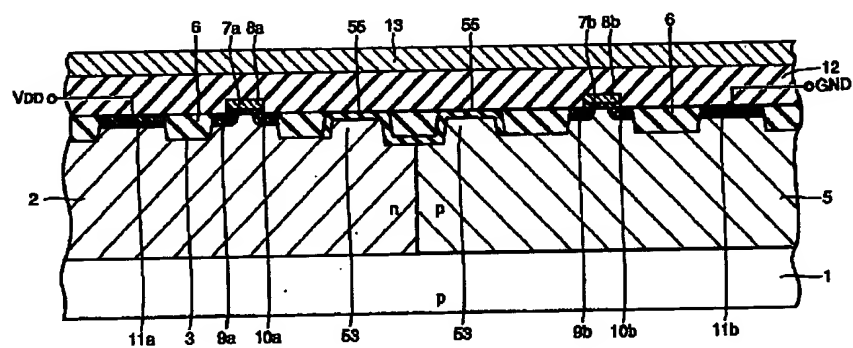
【図7】



【図8】



【図9】



This cross-sectional view shows a semiconductor device. A substrate (101) with a p-type region (p) is shown. A gate stack (102) is formed on the substrate, consisting of a gate dielectric (105) and a gate electrode (112). The gate stack is divided into regions labeled 106, 107a, 108a, 113, 200, d2, d3, d1, 107b, 108b, and 106. A VDD contact is shown on the left, and a GND contact is shown on the right. The device includes various contacts and interconnects labeled with reference numerals: 111a, 103, 103a, 110a, 142a, 141a, 108b, 110b, 103, 111b, 142b, and 141b. The regions are labeled n and p.

Fターム(参考) 5F032 AA35 AA44 AA45 AA77 BA01
BB08 CA03 CA17 CA20 DA53
5F048 AA04 AC03 BG14 DA01